

Docket No.: 67161-133

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Motoi ASHIDA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: December 02, 2003	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

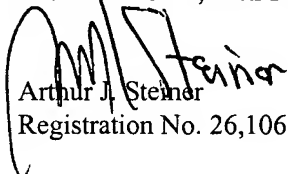
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-137228, filed May 15, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Arthur J. Steiner  
Registration No. 26,106

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 AJS:tlb  
Facsimile: (202) 756-8087  
**Date: December 2, 2003**

W/F121-133  
ASHIDA  
December 2, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月15日

出 願 番 号

Application Number:

特願2003-137228

[ST.10/C]:

[JP2003-137228]

出 願 人

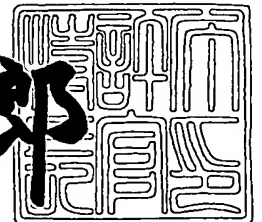
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月17日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3047212

【書類名】 特許願

【整理番号】 543865JP01

【提出日】 平成15年 5月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/06

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ  
                                ステクノロジ内

    【氏名】 芦田 基

【特許出願人】

    【識別番号】 503121103

    【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

    【識別番号】 100064746

    【弁理士】

    【氏名又は名称】 深見 久郎

【選任した代理人】

    【識別番号】 100085132

    【弁理士】

    【氏名又は名称】 森田 俊雄

【選任した代理人】

    【識別番号】 100083703

    【弁理士】

    【氏名又は名称】 仲村 義平

【選任した代理人】

    【識別番号】 100096781

    【弁理士】

    【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 P N 対向分離膜によって平面的に互いに隔てられた 2 種類の活性領域である P M O S 領域および N M O S 領域を有する半導体基板と、前記半導体基板の上側において前記 P M O S 領域、前記 P N 対向分離膜および前記 N M O S 領域を一括して横切るように線状に延びるデュアルゲート電極とを備え、

前記デュアルゲート電極は、前記 P M O S 領域上に位置する P 型部と、前記 N M O S 領域上に位置する N 型部と、前記 P 型部と前記 N 型部とに挟まれた P N 接続部とを含み、

前記 P N 接続部は、シリサイド化されたシリサイド領域を含み、前記シリサイド領域は、平面的に見て、前記 P M O S 領域とも前記 N M O S 領域とも離れており、前記 P N 対向分離膜の領域の内側に形成されている、半導体装置。

【請求項 2】 前記デュアルゲート電極のうち前記シリサイド領域以外の部分は、実質的にシリサイド化防止膜に覆われている、請求項 1 に記載の半導体装置。

【請求項 3】 前記シリサイド化防止膜は、シリコン窒化膜を含んでいる、請求項 2 に記載の半導体装置。

【請求項 4】 平面的に見て前記デュアルゲート電極に一部重なるような位置で、前記活性領域上に配置されたコンタクトを備える、請求項 1 から 3 のいずれかに記載の半導体装置。

【請求項 5】 前記コンタクトは、平面的に見て前記シリサイド領域を避けた位置に配置されている、請求項 4 に記載の半導体装置。

【請求項 6】 前記コンタクトは、平面的に見て前記 P N 対向分離膜を避けた位置に配置されている、請求項 4 または 5 に記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置、特に C M O S (Complementary Metal Oxide Semicond

uctor : 相補型金属酸化膜半導体) トランジスタを備える半導体装置に関するものである。

【0002】

【従来の技術】

CMOSトランジスタは、NMOSトランジスタとPMOSトランジスタとが対になったものである。デュアルゲート電極とは、NMOSトランジスタとPMOSトランジスタとで共通にゲート電極として用いる1本の連続したゲート電極であり、NMOSトランジスタを構成する領域においてはN+ポリシリコン、PMOSトランジスタを構成する領域においてはP+ポリシリコンからなるものである。

【0003】

CMOSトランジスタを備える半導体装置のうち、特にデュアルゲート電極を採用したCMOSトランジスタを備えるものの場合、従来は、デュアルゲート電極のうちN+ポリシリコン部分とP+ポリシリコン部分との間の低抵抗接続を実現するために、自己整合型高融点金属シリサイド化技術を用いて、活性領域の全域、デュアルゲート電極および配線の全域のみを選択的にシリサイド化していた。その一例は、たとえば、特開昭59-107540号公報(特許文献1)に示される。

【0004】

【特許文献1】

特開昭59-107540号公報

【0005】

【発明が解決しようとする課題】

従来は、活性領域、デュアルゲート電極および配線の全域に対してシリサイド化していたので、シリサイド化した後でデュアルゲート電極の上側を覆うようにデュアルゲート電極と同形の絶縁膜を形成することはできなかった。そのため、このような絶縁膜をストッパ膜として利用して自己整合的にコンタクトホールを開口するようなことができなかった。

【0006】

また、活性領域の全域が高融点金属シリサイド化される場合、シリサイド化の異常進行などの不具合により、活性領域とウェルとの間の電氣的リークをもたらすことがしばしば発生していた。そのため、活性領域のシリサイド化は好ましくなかった。

#### 【 0 0 0 7 】

そこで、本発明は、デュアルゲート電極を備えるCMOSトランジスタ装置において、自己整合的にコンタクトホールの開口を可能とし、活性領域とウェルとの間の電氣的リークの問題を解消できるような、半導体装置を提供することを目的とする。

#### 【 0 0 0 8 】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明に基づく半導体装置は、PN対向分離膜によって平面的に互いに隔てられた2種類の活性領域であるPMOS領域およびNMOS領域を有する半導体基板と、上記半導体基板の上側において上記PMOS領域、上記PN対向分離膜および上記NMOS領域を一括して横切るように線状に延びるデュアルゲート電極とを備える。ただし、上記デュアルゲート電極は、上記PMOS領域上に位置するP型部と、上記NMOS領域上に位置するN型部と、上記P型部と上記N型部とに挟まれたPN接続部とを含む。上記PN接続部は、シリサイド化されたシリサイド領域を含む。上記シリサイド領域は、平面的に見て、上記PMOS領域とも上記NMOS領域とも離れており、上記PN対向分離膜の領域の内側に形成されている。

#### 【 0 0 0 9 】

##### 【発明の実施の形態】

##### （実施の形態1）

##### （構成）

図1～図3を参照して、本発明に基づく実施の形態1における半導体装置について説明する。図1は、説明の便宜上、デュアルゲート電極4が直接見えるようにデュアルゲート電極4の上側を覆うシリサイド化防止膜8およびゲートエッチングマスク5を取り去った状態を表示している。図2は、図1におけるII-I

I 線に関する矢視断面図である。図 3 は、図 1 における I I I - I I I 線に関する矢視断面図である。この半導体装置は、図 2、図 3 に示すように半導体基板 1 とデュアルゲート電極 4 とを備える。半導体基板 1 の表面は部分的に分離絶縁膜 2 に覆われている。半導体基板 1 は、図 1 に示すように、分離絶縁膜 2 の一部である P N 対向分離膜 3 によって平面的に互いに隔てられた 2 種類の活性領域 2 0 として、P M O S 領域、N M O S 領域を有する。

#### 【 0 0 1 0 】

デュアルゲート電極 4 は、半導体基板 1 の上側において P M O S 領域、P N 対向分離膜 3 および N M O S 領域を一括して横切るように線状に延びている。デュアルゲート電極 4 は、P M O S 領域上に位置する P 型部としての P 型ポリシリコン部 4 a と、N M O S 領域上に位置する N 型部としての N 型ポリシリコン部 4 b とを含む。さらに、デュアルゲート電極 4 は、P 型ポリシリコン部 4 a と N 型ポリシリコン部 4 b とに挟まれた P N 接続部を含む。P N 接続部は、シリサイド領域 9 を含む。シリサイド領域は、シリサイド化された領域である。シリサイド領域 9 は、平面的に見て、P M O S 領域とも N M O S 領域とも離れて、P N 対向分離膜 3 の内側に収まる位置関係にある。

#### 【 0 0 1 1 】

図 1 では、コンタクト 1 2 は記号化されて表示されている。コンタクト 1 2 は活性領域 2 0 に対して電氣的接続を確保するためのものであり、平面的に見てデュアルゲート電極 4 を挟みこむ位置で活性領域 2 0 に形成されている。コンタクト 1 2 は、平面的に見てデュアルゲート電極 4 に一部重なる位置にある。

#### 【 0 0 1 2 】

図 2 に示すように、デュアルゲート電極 4 は P N 接続部を除いて、サイドウォール絶縁膜 6 に覆われ、さらにその上からシリサイド化防止膜 8 によって覆われている。P N 接続部においては、サイドウォール絶縁膜 6 もシリサイド化防止膜 8 もなく、シリサイド開口部 7 となっている。シリサイド領域 9 はシリサイド開口部 7 の内部に露出している。図 3 に示すように、デュアルゲート電極 4 にコンタクト 1 2 が重なる位置においては、シリサイド化防止膜 8 はないが、デュアルゲート電極 4 はサイドウォール絶縁膜 6 に覆われることによってコンタクト 1 2



との間の電氣的絶縁が保たれている。

【0013】

デュアルゲート電極4のうちシリサイド領域9以外の部分は、実質的にシリサイド化防止膜8に覆われている。この構成であれば、後述のように自己整合的にシリサイド化を行なうことができ、好都合である。

【0014】

(作用・効果)

本実施の形態における半導体装置は、デュアルゲート電極4を備えるCMOSトランジスタ装置でありながら、シリサイド領域9はPN接続部に限られ、デュアルゲート電極4の他の部分は、サイドウォール絶縁膜6に覆われているので、自己整合的にコンタクトホールの開孔が可能であり、現に自己整合的に形成されたコンタクト12を備えている。この半導体装置では、活性領域20の全域をシリサイド化しなくてもよいので、活性領域とウェルとの間の電氣的リークの問題を解消することができる。

【0015】

特に、この半導体装置では、シリサイド領域9が、平面的に見て、PMOS領域ともNMOS領域とも離れて、PN対向分離膜3の内側に収まる位置関係にあるが、このようになっていることが、シリサイド領域9と活性領域20との間の電氣的リークを防止する上で好ましい。

【0016】

この半導体装置では、コンタクト12は、平面的に見てデュアルゲート電極4に一部重なる位置にあるが、全く重ならない位置関係であっても本発明の効果はある程度享受することができる。しかし、本発明を適用する場合、一部重なるようにすることが可能であり、一部重なるようにすることで、トランジスタの占有面積を削減することができるため、一部重なるように配置することが好ましい。試算によれば、コンタクトとデュアルゲート電極との間で距離をとる必要があった従来の構成に比べて、一部重なる構造にすることができる本実施の形態の構成では、トランジスタの占有面積を約3割削減できることがわかっている。

【0017】

また、コンタクト 1 2 は、平面的に見てシリサイド領域 9 を避けた位置に配置されている。すなわち、コンタクト 1 2 とシリサイド領域 9 とは重ならないようになっている。こうすることが、シリサイド領域 9 とコンタクト 1 2 との間の電氣的リークを防止する上で好ましい。コンタクト 1 2 は、平面的に見て P N 対向分離膜 3 も避けた位置に配置されている。こうすることが、コンタクト 1 2 による活性領域 2 0 との間の電氣的接続を効率良く確保する上で好ましい。

#### 【 0 0 1 8 】

シリサイド化防止膜 8 は、シリコン窒化膜を含んでいることが好ましい。形成容易であり、電極部分のシリサイド化を防止するのに適当な材料だからである。

#### 【 0 0 1 9 】

##### (製造方法)

図 4 ～ 図 8、図 2、図 3 を参照して、本実施の形態における半導体装置の製造方法について説明する。なお、図 4、図 6 および図 8 は、図 2 と同じ見方での断面図である。図 5、図 7 および図 9 は、図 3 と同じ見方での断面図である。

#### 【 0 0 2 0 】

まず、図 4、図 5 に示すように、半導体基板 1 の上面にゲート酸化膜 1 3 を形成し、その上側にデュアルゲート電極 4 の材料となるポリシリコン膜を形成する。このポリシリコン膜は、公知技術を用いて、N M O S 領域では N 型ポリシリコンとなり、P M O S 領域では P 型ポリシリコンとなるように形成する。このポリシリコン膜の上側を覆うようにシリコン窒化膜を含んだ絶縁膜を形成し、この絶縁膜をパターニングしてゲートエッチングマスク 5 とする。このゲートエッチングマスク 5 をエッチングマスクに用いて、ポリシリコン膜のパターニングを行なう。こうして、図 4、図 5 に示すデュアルゲート電極 4 の構造が得られる。

#### 【 0 0 2 1 】

図 6、図 7 に示すように、ゲートエッチングマスク 5 に覆われたデュアルゲート電極 4 の側面を覆うようにサイドウォール絶縁膜 6 を形成する。

#### 【 0 0 2 2 】

図 8、図 9 に示すように、全面を上側から覆うようにシリサイド化防止膜 8 を形成する。シリサイド化防止膜 8 はシリコン窒化膜で形成することが好ましい。

シリサイド化防止膜 8 およびゲートエッチングマスク 5 を P N 接続部のみ開口するようにエッチングなどで除去する。こうして、図 8 に示すようにシリサイド開口部 7 が形成される。デュアルゲート電極 4 のうちこのシリサイド開口部 7 に露出した部分のみがシリサイド化されるように、シリサイド化を行なう。デュアルゲート電極 4 のうちシリサイド領域とすべき部分以外は実質的にシリサイド化防止膜 8 で覆われているのでシリサイド化は自己整合的に行なうことができる。こうして、図 8 に示すように、シリサイド領域 9 が形成される。

#### 【 0 0 2 3 】

図 2、図 3 に示すように、上側に層間絶縁膜 1 0 を堆積させる。この層間絶縁膜 1 0 に対して、平面的に見てデュアルゲート電極 4 にオーバーラップする形で自己整合的にコンタクトホールを開口する。このコンタクトホールの開口の際には、シリサイド化防止膜 8 はストッパ膜として利用される。コンタクトホールが平面的に見て活性領域 2 0 に直接重なり合う部分においてのみコンタクトホールは活性領域 2 0 の表面にまで達する。コンタクトホールに導電体を充填し、コンタクト 1 2 を形成する。こうして、図 1 ～図 3 に示した半導体装置を得ることができる。

#### 【 0 0 2 4 】

##### (ジャンクションリーク特性)

従来の構造でシリサイド領域の上にコンタクトが重なった場合、ジャンクションリークのリーク電流値が図 1 1 に示すようにばらつくことがあった。しかし、本発明の適用により、シリサイド領域の上にコンタクトが重ならない構成にした場合、図 1 0 に示すように、ジャンクションリークのリーク電流値はばらつきが小さくなり、ジャンクションリーク特性をコントロールすることができるようになる。

#### 【 0 0 2 5 】

なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

【 0 0 2 6 】

【発明の効果】

本発明によれば、デュアルゲート電極を備えるCMOSトランジスタ装置において、自己整合的にコンタクトホールの開口を可能とし、活性領域とウェルとの間の電氣的リークの問題を解消することができる。

【図面の簡単な説明】

【図 1】 本発明に基づく実施の形態 1 における半導体装置の平面図である。

【図 2】 図 1 における I I - I I 線に関する矢視断面図である。

【図 3】 図 1 における I I I - I I I 線に関する矢視断面図である。

【図 4】 本発明に基づく実施の形態 1 における半導体装置の製造方法の第 1 の工程における縦断面図である。

【図 5】 本発明に基づく実施の形態 1 における半導体装置の製造方法の第 1 の工程における横断面図である。

【図 6】 本発明に基づく実施の形態 1 における半導体装置の製造方法の第 2 の工程における縦断面図である。

【図 7】 本発明に基づく実施の形態 1 における半導体装置の製造方法の第 2 の工程における横断面図である。

【図 8】 本発明に基づく実施の形態 1 における半導体装置の製造方法の第 2 の工程における縦断面図である。

【図 9】 本発明に基づく実施の形態 1 における半導体装置の製造方法の第 2 の工程における横断面図である。

【図 1 0】 本発明に基づく実施の形態 1 における半導体装置のジャンクションリーク特性を示すグラフである。

【図 1 1】 従来技術に基づく半導体装置のジャンクションリーク特性を示すグラフである。

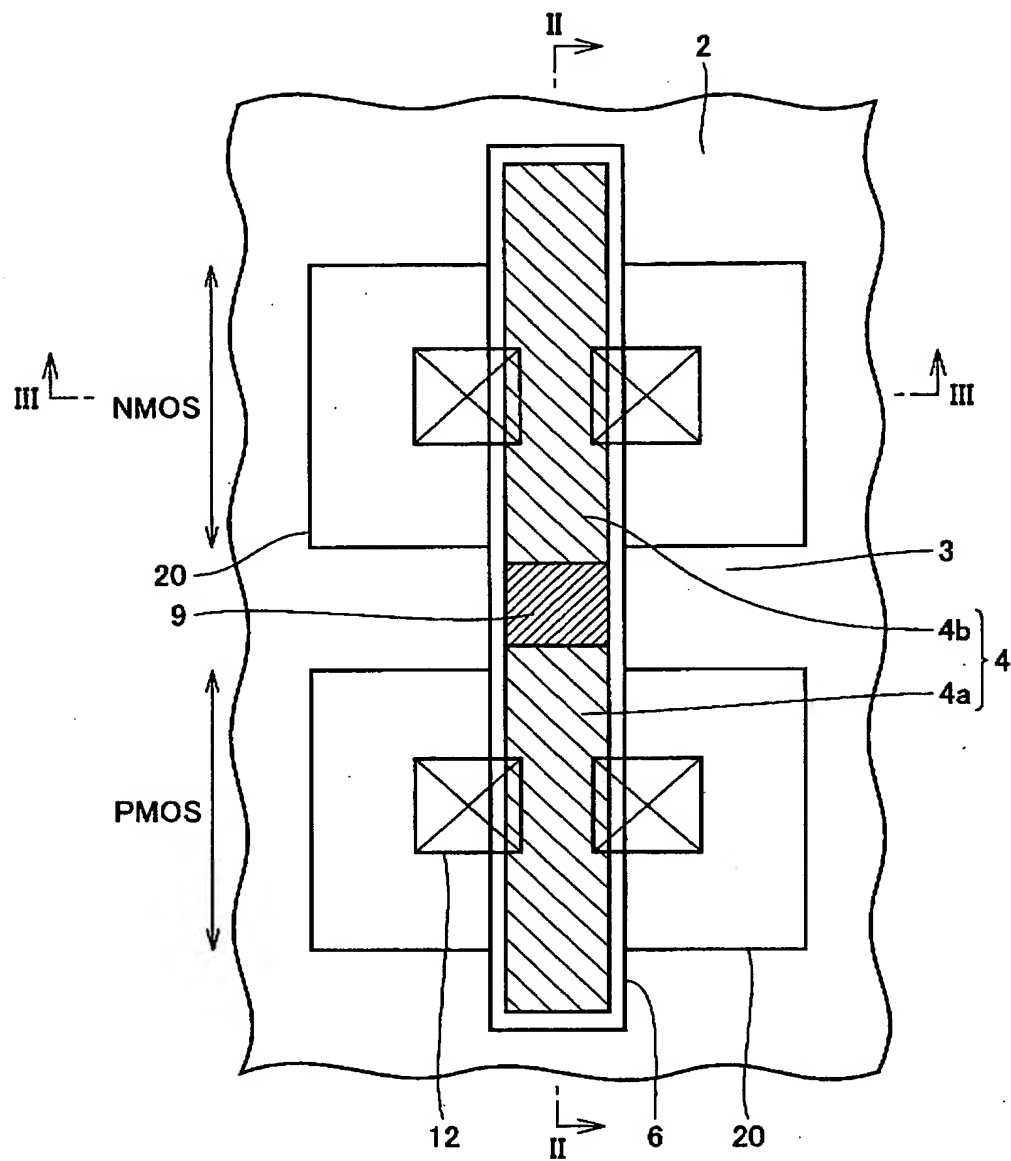
【符号の説明】

1 半導体基板、2 分離絶縁膜、3 P N 対向分離膜、4 デュアルゲート電極、4 a P 型ポリシリコン部、4 b N 型ポリシリコン部、5 ゲートエッ

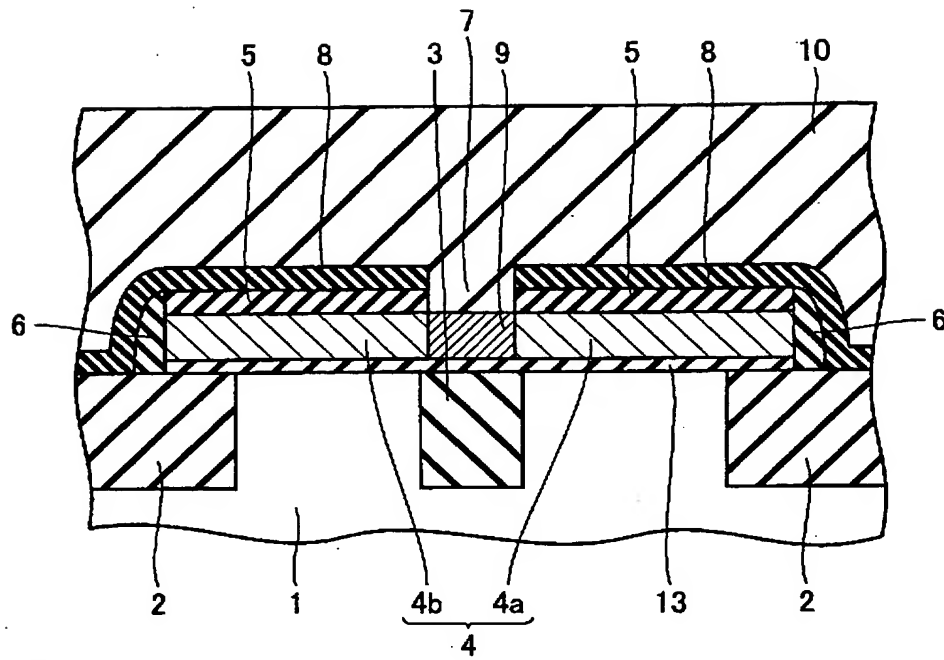
チングマスク、6 サイドウォール絶縁膜、7 サリサイド開口部、8 シリサイド化防止膜、9 シリサイド領域、10 層間絶縁膜、11 コンタクトホール、12 コンタクト、13 ゲート酸化膜、14 ソース／ドレイン領域、15 コンタクト、20 活性領域、21 PMOS領域、22 NMOS領域。

【書類名】 図面

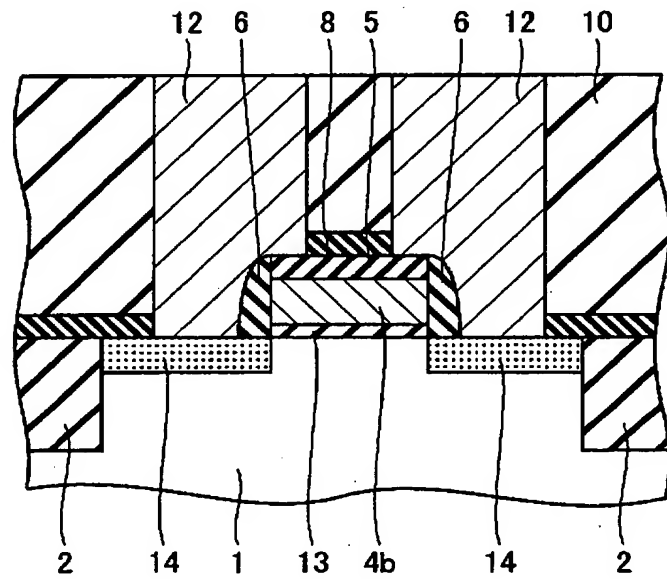
【図 1】



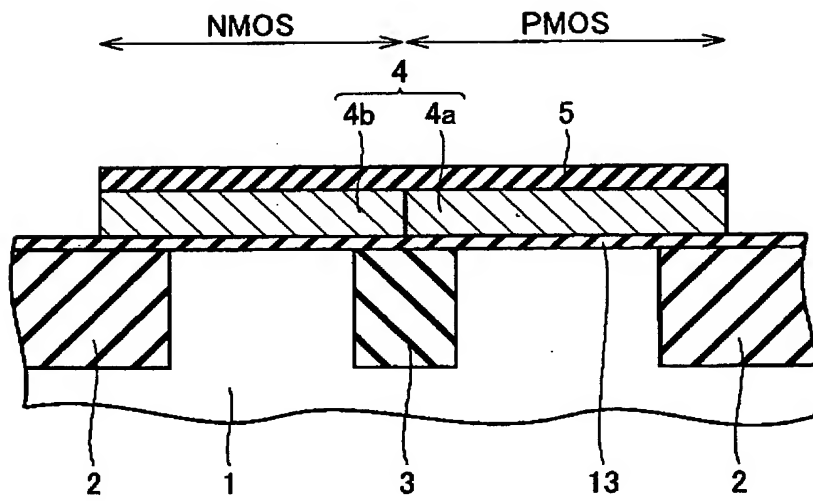
【図 2】



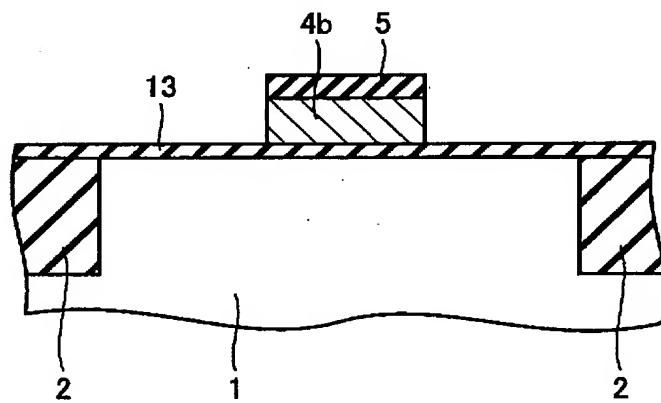
【図 3】



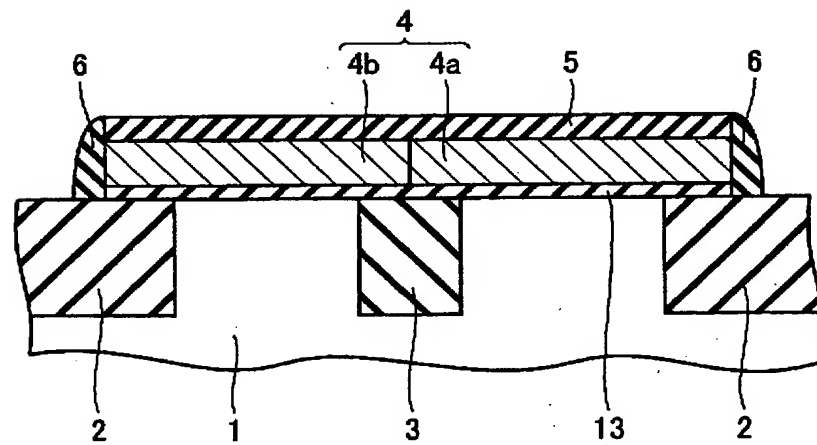
【図 4】



【図 5】

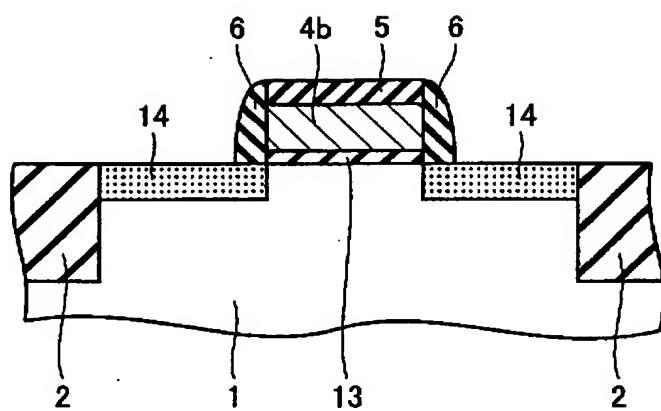


【図 6】

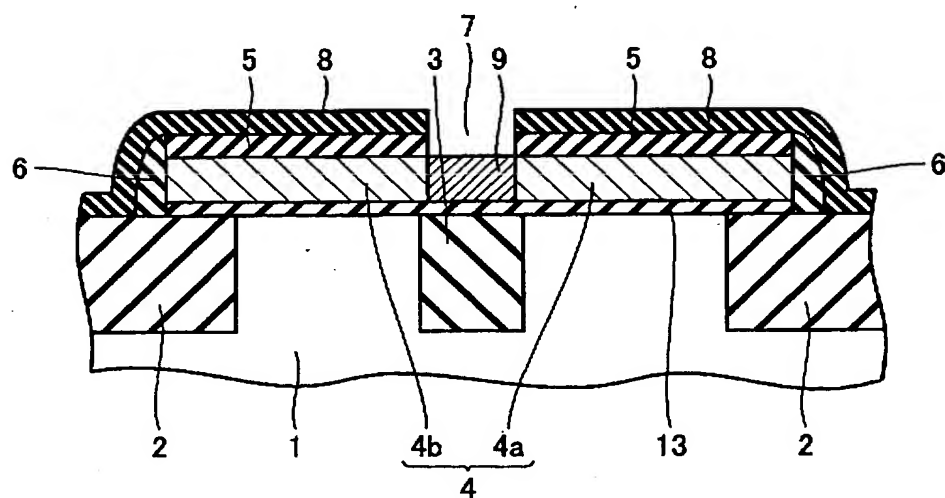




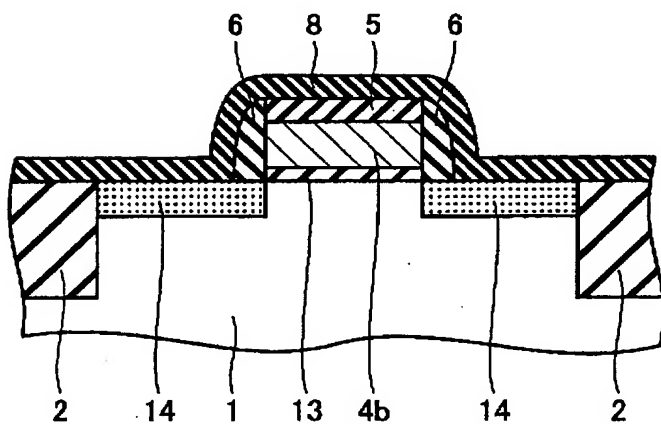
【図 7】



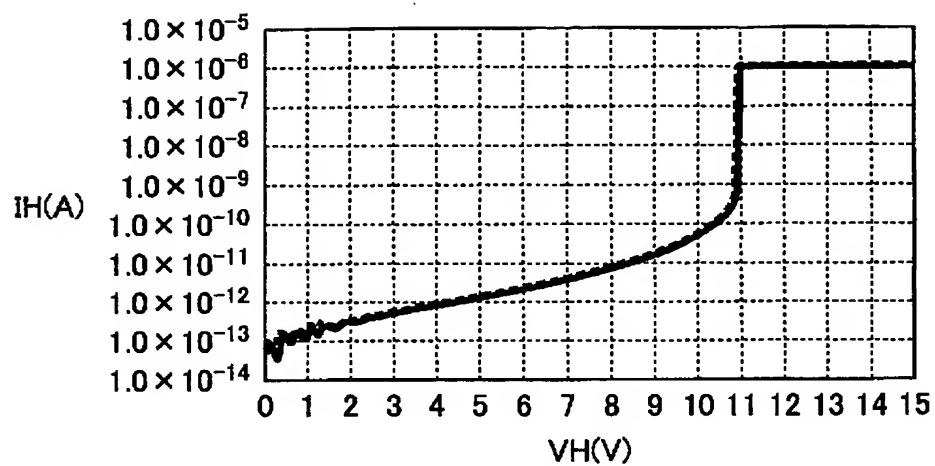
【図 8】



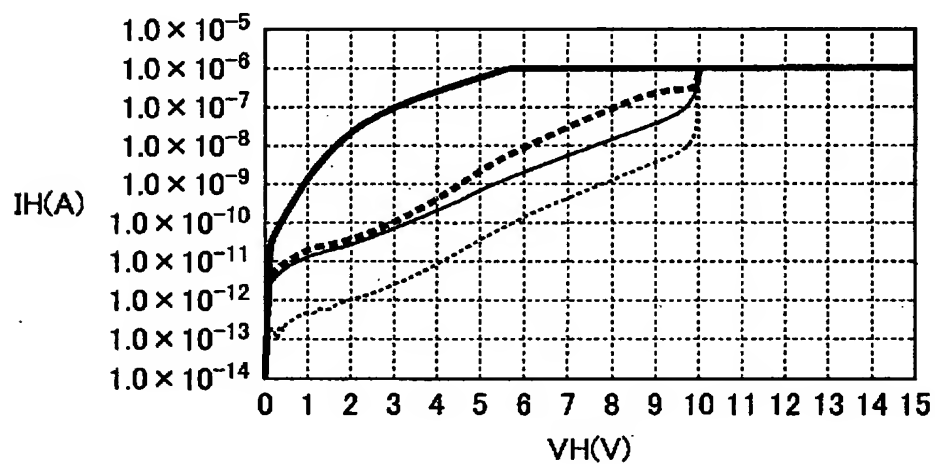
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 デュアルゲート電極を備えるCMOSトランジスタ装置において、自己整合的にコンタクトホールの開口を可能とし、活性領域とウェルとの間の電氣的リークの問題を解消できるような、半導体装置を提供する。

【解決手段】 半導体装置は、PN対向分離膜3によって平面的に互いに隔てられた2種類の活性領域20であるPMOS領域およびNMOS領域を有する半導体基板1と、その上側においてPMOS領域、PN対向分離膜3および上記NMOS領域を一括して横切るように線状に延びるデュアルゲート電極4とを備える。デュアルゲート電極4は、P型部4aと、N型部4bと、これらに挟まれたPN接続部とを含む。PN接続部はシリサイド領域9を含む。シリサイド領域9は、平面的に見てPMOS領域ともNMOS領域とも離れており、PN対向分離膜3の領域の内側に形成されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内二丁目4番1号  
氏 名 株式会社ルネサステクノロジ